

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS ✓
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010018945 (43) Publication.Date. 20010315

(21) Application No.1019990035108 (22) Application Date. 19990824

(51) IPC Code:

H01L 23/28

(71) Applicant:

AMKOR TECHNOLOGY KOREA, INC.

(72) Inventor:

JUN, DO SEONG

LEE, SEON GU

SHIN, WON SEON

(30) Priority:

(54) Title of Invention

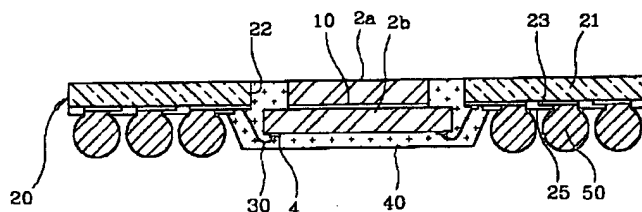
SEMICONDUCTOR PACKAGE

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor package is provided to allow a stack of a plurality of semiconductor chips with a reduced thickness and further to prevent an undesirable wire sweeping phenomenon.

CONSTITUTION: The package includes the first and second chips(2a,2b) each having a plurality of input/output pads(4) and attached to each other by an adhesive(10). The package further includes a circuitry substrate(20) having a central opening(22) receiving the first and second chips(2a,2b) therein. The substrate(20) made of a resin layer(21) has circuitry patterns(23) formed on one side of the resin layer(21) and a cover coat(25) partially covering the circuitry patterns(23). The circuitry patterns(23) are then



electrically connected to the input/output pads(4) on the chips(2a,2b) by connecting members(30). The chips(2a,2b) and the connecting members(30) are embedded in an encapsulation part(40). In addition, pluralities of conductive balls(50) are formed on the circuitry patterns(23).

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/28

(11) 공개번호
(43) 공개일자

10-2001-0018945
2001년03월15일

(21) 출원번호	10-1999-0035108
(22) 출원일자	1999년08월24일
(71) 출원인	애플 테크놀로지 코리아 주식회사, 마이클 디. 오브라이언 대한민국 500-470 광주 북구 대촌동 957
(72) 발명자	신원선 대한민국 472-900 경기도남양주시와부읍덕소리현대아파트101-109호 전도성 미국 미합중국아리조나주85226첼렌러900노스루홀로드#2055 이선구 대한민국 412-220 경기도고양시덕양구행신동햇빛마을주공아파트1823-601호
(74) 대리인	서만규
(77) 심사청구	있음
(54) 출원명	반도체패키지

요약

이 발명은 반도체패키지에 관한 것으로, 두께를 얇게 유지하면서도 다수의 반도체칩을 적층하여 초박형인 동시에 적층형의 반도체패키지를 제공하고, 또한 와이어 스위핑(sweeping) 현상도 제거할 수 있는 반도체패키지를 제공하기 위해, 일면에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 입출력패드가 형성된 면에 접착제로 접착된 제2반도체칩과; 상기 제1반도체칩 및 제2반도체칩이 수용될 수 있는 크기로 관통공이 형성된 수지층을 중심으로 표면에는 회로패턴이 형성되고, 상기 회로패턴은 커버코트로 코팅된 회로기판과; 상기 회로기판의 회로패턴과 제1반도체칩 및 제2반도체칩의 입출력패드 사이를 전기적으로 연결시키는 전기적 접속수단과; 상기 제1반도체칩, 제2반도체칩 및 접속수단을 외부환경으로부터 보호하도록 봉지재로 봉지하여 형성된 봉지부와; 상기 회로기판의 회로패턴에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

대표도

도1a

명세서

도면의 간단한 설명

도1a 내지 도1c는 본 발명의 제1실시예에 의한 반도체패키지를 도시한 단면도이다.

도2a 내지 도2c는 본 발명의 제2실시예에 의한 반도체패키지를 도시한 단면도이다.

도3a 및 도3b는 종래의 적층형 반도체패키지를 도시한 단면도 및 봉지부가 형성되지 않은 상태의 평면도이다.

- 도면중 주요 부호에 대한 설명 -

2a,2b: 제1반도체칩, 제2반도체칩...4: 입출력패드

10: 접착제...20: 회로기판

21: 수지층...22: 관통공

23: 회로패턴...24: 비아홀(via hole)

25: 커버코트(cover coat)...30: 접속수단

40: 봉지부...50: 도전성볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 두께를 얇게 유지하면서도 다수의 반도체칩을 적층하여 초박형인 동시에 적층형의 반도체패키지를 제공하고, 또한 와이어 스위핑(sweeping) 현상도 제거할 수 있는 반도체패키지에 관한 것이다.

최근의 반도체패키지는 칩스케일(chip scale) 반도체패키지, 마이크로 볼그리드어레이(micro ball grid array) 반도체패키지 및 초박형(ultra thin) 반도체패키지 등과 같이 점차 소형화 및 박형화 추세에 있다. 또한 다수의 반도체칩을 적층함으로써 다기능의 반도체칩을 하나의 반도체패키지에 구현할 수 있는 적층형 반도체패키지도 개발되고 있으며, 이것의 구조는 도3a 및 도3b에 도시된 바와 같다. 여기서 도3a는 단면도이고 도3b는 봉지부가 형성되지 않았을 때의 평면도이다.

상기한 적층형 반도체패키지는 수지층(21)을 중심으로 그 상,하면에는 회로패턴(23)이 형성된 회로기판(20)이 구비되고, 상기 회로기판(20)의 상면 중앙에는 제1반도체칩(2a)이 접착제(10)로 접착되어 있다. 도면중 미설명 부호 24는 상,하면에 위치한 회로패턴(23)을 연결하는 도전성비아층이고, 25는 회로패턴(23)을 외부환경으로부터 보호하기 위한 커버코트이다.

또한 상기 제1반도체칩(2a)의 상면에는 역시 접착제(10)로 제2반도체칩(2b)이 접착되어 있으며, 상기 제1반도체칩(2a)과 제2반도체칩(2b)의 입출력패드(4)는 서로 간섭하지 않도록 다른 방향을 향하여 형성되어 있다. 즉, 도4b에 도시된 바와 같이 제1반도체칩(2a)의 입출력패드(4)가 상,하부를 향하고 있다면, 제2반도체칩(2b)의 입출력패드(4)는 좌,우를 향하도록 함으로써 상호 간섭하지 않도록 되어 있다. 상기 제1반도체칩(2a) 및 제2반도체칩(2b)의 입출력패드(4)는 각각 회로기판(20)의 회로패턴(23)에 도전성와이어와 같은 접속수단(30)으로 접속되어 있고, 상기 회로기판(20)의 하면에 형성된 회로패턴(23)에는 다수의 도전성볼(50)이 융착되어, 차후 메인보드로 반도체칩을 신호를 전달할 수 있도록 되어 있다. 한편, 상기 제1반도체칩(2a) 및 제2반도체칩(2b), 접속수단(30)은 봉지재로 봉지된 봉지부(40)에 의해 외부환경으로부터 보호되도록 되어 있다.

그러나 종래의 이러한 적층형 반도체패키지는 회로기판상에 제1반도체칩이 접착되고, 또한 그 제1반도체칩 상면에 제2반도체칩이 접착됨으로써 반도체패키지의 두께를 과도하게 증가시키는 문제가 있다. 이러한 문제는 결국 상기 반도체패키지를 사용하는 장치나 장비의 두께를 두껍게 하는 요인이 된다.

또한 제2반도체칩의 입출력패드와 회로기판 사이의 높이차가 큼으로써 제2반도체칩과 회로패턴을 연결하는 접속수단의 만곡높이(loop height)가 높아지는 경향이 있고, 또한 만곡높이가 큼으로써 접속수단의 스위핑 발생 가능성이 커져 그만큼 반도체패키지의 제조 공정중 불량확률이 높아지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 발명한 것으로, 두께를 얇게 유지하면서도 다수의 반도체칩을 적층할 수 있는 반도체패키지를 제공하고 또한 와이어 스위핑 현상도 제거할 수 있는 반도체패키지를 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 일면에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 입출력패드가 형성된 면에 접착제로 접착된 제2반도체칩과; 상기 제1반도체칩 및 제2반도체칩이 수용될 수 있는 크기로 관통공이 형성된 수지층을 중심으로 표면에는 회로패턴이 형성되고, 상기 회로패턴은 커버코트로 코팅된 회로기판과; 상기 회로기판의 회로패턴과 제1반도체칩 및 제2반도체칩의 입출력패드 사이를 전기적으로 연결시키는 전기적 접속수단과; 상기 제1반도체칩, 제2반도체칩 및 접속수단을 외부환경으로부터 보호하도록 봉지재로 봉지하여 형성된 봉지부와; 상기 회로기판의 회로패턴에 융착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 제1반도체칩 또는 제2반도체칩 중 어느 하나는 평면상 직사각형인 것을 구비함이 바람직하다.

또한, 상기 제1반도체칩과 제2반도체칩에 형성된 입출력패드는 단면 또는 평면상에서 서로 다른 위치에 형성함이 바람직하다.

더불어, 상기 제1반도체칩은 제2반도체칩이 접착된 면의 반대면이 봉지부 외부로 노출되도록 함이 바람직하다.

또한, 상기 제1반도체칩 및 제2반도체칩의 입출력패드는 도전성볼의 형성 방향과 동일 방향으로 위치시키거나 또는 상기 제1반도체칩 및 제2반도체칩의 입출력패드는 도전성볼의 형성 방향과 반대 방향으로 위치시킬 수 있다.

상기와 같이 입출력패드와 도전성볼의 형성 방향이 반대 방향을 향하고 있는 경우에, 상기 회로기판은 수지층의 상,하면에 회로패턴을 형성하고, 상,하의 회로패턴은 도전성비아층으로 상호 접속함이 바람직하다.

상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 회로기판에 관통공이 형성되고, 상기 관통공에 제1반도체칩 및 제2반도체칩이 적층됨으로써, 상기 관통공이 제1반도체칩의 두께를 상쇄시켜 다수의 반도체칩이 적층됨에도 불구하고 반도체패키지의 두께를 얇게 유지할 수 있는 장점이 있다.

또한, 상기와 같이 다수의 반도체칩이 적층된 구조를 함으로써 다기능을 갖는 다수의 반도체칩을 하나의 반도체패키지에 구비할 수 있게 된다.

또한, 상기 제2반도체칩의 입출력패드와 회로기판 사이의 높이차가 종래 제1반도체칩과 회로기판 사이의 높이차와 같음으로써 접속수단의 만곡높이가 크지 않고, 따라서 접속수단의 스위핑 발생 가능성을 낮출 수 있는 장점이 있다.

이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도1a 내지 도1c는 본 발명의 제1실시예에 의한 반도체패키지를 도시한 단면도이다.

일면에 다수의 입출력패드(도시되지 않음)가 하면을 향하여 형성된 제1반도체칩(2a)이 위치되어 있고, 상기 제1반도체칩(2a)의 입출력패드가 형성된 동일면에는 접착제(10)로 제2반도체칩(2b)이 접착되어 있으며, 상기 제2반도체칩(2b)의 입출력패드(4) 역시 하면을 향하고 있다. 상기 접착제(10)는 통상적인 에폭시 접착제를 사용하거나 또는 양면 테이프 등을 이용할 수 있다.

여기서, 상기 제1반도체칩(2a) 또는 제2반도체칩(2b)중 적어도 하나는 평면상 직사각형 모양으로 형성함으로써 입출력패드(4)가 서로 간섭하지 않아 차후 접속수단(30)의 연결 작업을 용이하게 하도록 향이 바람직하며, 제1반도체칩(2a) 및 제2반도체칩(2b) 모두 직사각형으로 구비할 수도 있다. 더불어, 상기 제1반도체칩(2a)과 제2반도체칩(2b)의 입출력패드(4)는 단면 또는 평면상으로 보았을 때 서로 다른 위치에 형성되거나 위치되도록 함으로써 상기 접속수단(30)의 연결 작업을 보다 용이하게 향이 바람직하다. 즉, 상기 제1반도체칩(2a)의 입출력패드가 평면상에서 상,하면의 가장자리에 위치되었다면, 제2반도체칩(2b)의 입출력패드는 평면상에서 좌,우측에 위치하도록 향이 바람직하다.

한편, 상기 제1반도체칩(2a)의 외주연에는 회로기판(20)이 위치되어 있다. 상기 회로기판(20)에는 일정크기의 관통공(22)이 형성되고, 그 관통공(22)에 제1반도체칩(2a)이 수용되어 있는 것이다. 상기 회로기판(20)은 수지층(21)을 중심으로 하면에 도전성 회로패턴(23)이 미세하게 형성되어 있으며, 상기 회로패턴(23)은 외부환경으로부터 보호되도록 커버코트(25)로 코팅되어 있다.

또한, 상기 제1반도체칩(2a) 및 제2반도체칩(2b)의 입출력패드(4)는 회로기판(20)의 하면에 형성된 회로패턴(23)과 도전성 와이어 등의 전기적 접속수단(30)에 의해 연결되어 있다. 따라서 상기 제1반도체칩(2a) 및 제2반도체칩(2b)의 전기적 신호는 상기 접속수단(30)에 의해 회로패턴(23)으로 전달되거나 또는 전달받는다.

그리고, 상기 제1반도체칩(2a), 제2반도체칩(2b), 접속수단(30) 등은 외부의 먼지, 습기 및 기계적 충격 등으로부터 보호되도록 봉지재로 봉지되어 있다. 상기 봉지재로 봉지된 영역을 봉지부(40)라 한다. 더불어, 상기 회로기판(20)의 하면에 형성된 회로패턴(23)에는 다수의 도전성볼(50)이 융착되어 차후 메인보드에 실장가능하게 되어 있다. 상기 도전성볼(50)은 솔더볼(solder ball)로 향이 바람직하다.

여기서, 상기 제1반도체칩(2a) 및 제2반도체칩(2b)의 입출력패드(4) 형성 방향은 회로패턴(23) 또는 도전성볼(50)의 형성 방향과 같으므로, 상기 회로기판(20)의 상면에는 회로패턴(23)이나 커버코트(25) 층을 별도로 더 형성하지 않음이 바람직하다.

또한, 상기 제1반도체칩(2a)의 상면 즉, 제2반도체칩(2b)과 접하지 않는 반대면은 봉지부(40) 외측으로 노출시켜 열방산 성능을 향상시킬 수 있다. 또한 도1b에서와 같이 상기 제1반도체칩(2a) 및 수지층(21) 상면에는 열도전성층(60) 예를 들면, 구리(Cu), 알루미늄(Al) 등의 도전성층을 더 형성하여 열방산 성능을 더욱 향상시킬 수도 있다.

더불어, 도1a, 도1b에서는 반도체칩(2a,2b)의 입출력패드(4)가 하면을 향하여 있지만, 도1c에서와 같이 그 입출력패드(4)가 상면을 향하도록 하는 것도 가능하다. 이때에는 상기 회로기판(20)의 상면 즉, 수지층(21)의 상면에도 회로패턴(23)을 형성하고, 상기 회로패턴은 하부의 회로패턴과 도전성 비아홀(23a)로 연결하여 신호 경로를 확보한다. 더불어, 상기 수지층(21)의 상면의 회로패턴(23)도 외부환경으로부터 보호하기 위해 커버코트(25)로 코팅향이 바람직하다.

도2a, 도2b 및 도2c는 본 발명의 제2실시예에 의한 반도체패키지를 도시한 단면도이다.

상기 제2실시예는 제1실시예와 유사한 구조이며 그 차이점만을 설명하면 다음과 같다.

일면에 다수의 입출력패드(도시되지 않음)가 상면을 향하여 형성된 제1반도체칩(2a)이 위치되어 있고, 상기 제1반도체칩(2a)의 입출력패드(4)가 형성된 동일면에는 접착제(10)로 제2반도체칩(2b)이 접착되어 있으며, 상기 제2반도체칩(2b)의 입출력패드(4) 역시 상면을 향하고 있다. 상기 제1반도체칩(2a)의 하면은 봉지부(40) 외측으로 노출시켜 열방산 능력이 증진되도록 하였다.

또한, 상기 제1반도체칩(2a)의 외주연에는 회로기판(20)이 위치되어 있는데, 이는 상기 회로기판(20)에 일정크기의 관통공(22)을 형성하고, 상기 관통공(22)에 제1반도체칩(2a)을 위치시킨 것이다. 상기 회로기판(20)은 수지층(21)을 중심으로 상,하면에 도전성 회로패턴(23)이 미세하게 형성되어 있으며, 상기 회로패턴(23)은 외부환경으로부터 보호되도록 커버코트(25)가 코팅되어 있다. 또한 상기 수지층(21) 상,하면에 형성된 회로패턴(23)은 도전성 비아홀(24)로 상호 접속되어 있다.

더불어, 상기 제1반도체칩(2a)의 입출력패드는 상기 회로기판(20)의 상면에 형성된 회로패턴(23)과 전기적 접속수단(30)에 의해 접속되어 있으며, 마찬가지로 상기 제2반도체칩(2b)의 입출력패드(4) 역시 상기 회로기판(20)의 상면에 형성된 회로패턴(23)에 전기적 접속수단(30)으로 접속되어 있다. 따라서 제1반도체칩(2a) 및 제2반도체칩(2b)의 전기적 입출력신호는 접속수단(30)을 통하여, 회로기판(20) 상면에 형성된 회로패턴(23), 도전성비아홀(24) 및 회로기판(20) 하면에 형성된 회로패턴(23) 및 마지막으로 도전성볼(50)을 통하여 메인보드로 전달되거나 또는 전달받게 된다.

여기서도 상기 회로기판(20)에 형성된 관통공(22)으로 인하여 제1반도체칩(2a)의 두께가 상쇄됨으로써 결국 초박형의 반도체패키지를 얻을 수 있게 되며, 또한 제2반도체칩(2b)과 회로기판(20) 사이를 접속하는 접속수단(30)의 만곡높이도 크지 않게 됨으로써 종래와 같은 접속수단(30)의 스워핑 현상을 방지하게 된다.

한편, 도2b에 도시된 바와 같이 크기가 서로 다른 제1반도체칩(2a)과 제2반도체칩(2b)을 구비할 수도 있다. 즉, 제1반도체칩(2a)보다 작은 제2반도체칩(2b)을 구비하고, 상기 제2반도체칩(2b)을 제1반도체칩(2a)에 접착층(10)을 이용하여 접착하게 된다. 이때, 상기 제1반도체칩(2a) 및 제2반도체칩(2b)의 입출력패드(4)는 같은 방향으로도 형성될 수 있는 장점이 있고, 마찬가지로 초박형의 반도체패키지를 유지하는 물론이다. 또한 도2c에 도시된 바와 같이 회로기판(20)에 다수의 관통공(22)을 형성함으로써 다수의 반도체칩을 각각 적층한 형태로 할 수도 있으며, 이는 당업자의 선택적 사항에 불과하다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위 내에서 여러가지로 변형된 실시에도 가능할 것이다.

발명의 효과

상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 회로기판에 관통공이 형성되고, 상기 관통공에 제1반도체칩 및 제2반도체칩이 적층됨으로써, 상기 관통공이 제1반도체칩의 두께를 상쇄시켜 다수의 반도체칩이 적층됨에도 불구하고 반도체패키지의 두께를 얇게 유지할 수 있는 효과가 있다.

또한, 상기와 같이 다수의 반도체칩이 적층된 구조를 함으로써 다기능을 갖는 여러 반도체칩을 하나의 반도체패키지에 구비할 수 있는 효과가 있다.

더불어, 제2반도체칩의 입출력패드와 회로기판 사이의 높이차가 종래 제1반도체칩과 회로기판 사이의 높이차와 같음으로써 접속수단의 만곡높이가 크지 않고, 따라서 반도체칩이 적층된 구조임에도 불구하고 접속수단의 스위핑 발생 가능성을 낮출 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

일면에 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 입출력패드가 형성된 면에 접착제로 접착된 제2반도체칩과;

상기 제1반도체칩 및 제2반도체칩이 수용될 수 있는 크기로 관통공이 형성된 수지층을 중심으로 표면에는 회로패턴이 형성되고, 상기 회로패턴은 커넥트 코팅된 회로기판과;

상기 회로기판의 회로패턴과 제1반도체칩 및 제2반도체칩의 입출력패드 사이를 전기적으로 연결시키는 전기적 접속수단과;

상기 제1반도체칩, 제2반도체칩 및 접속수단을 외부환경으로부터 보호하도록 봉지재로 봉지하여 형성된 봉지부와;

상기 회로기판의 회로패턴에 융착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

청구항 2.

제1항에 있어서, 상기 제1반도체칩 또는 제2반도체칩 중 어느 하나는 평면상 직사각형인 동시에, 상기 제1반도체칩 또는 제2반도체칩에 형성된 입출력패드는 단면 또는 평면상에서 서로 다른 위치에 형성된 것을 특징으로 하는 반도체패키지.

청구항 3.

제1항 또는 제2항 중 어느 한항에 있어서, 상기 제1반도체칩은 제2반도체칩이 접착된 면의 반대면이 봉지부 외부로 노출된 것을 특징으로 하는 반도체패키지.

청구항 4.

제1항 또는 제2항 중 어느 한항에 있어서, 상기 제1반도체칩 및 제2반도체칩의 입출력패드는 도전성볼의 형성 방향과 동일 방향으로 위치함을 특징으로 하는 반도체패키지.

청구항 5.

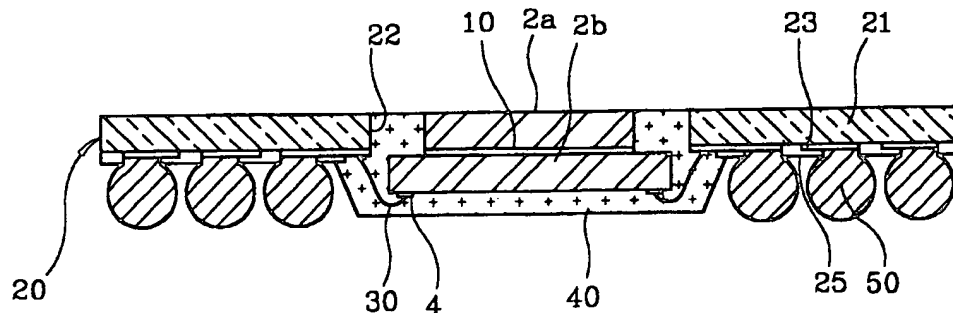
제1항 또는 제2항 중 어느 한항에 있어서, 상기 제1반도체칩 및 제2반도체칩의 입출력패드는 도전성볼의 형성 방향과 반대 방향으로 위치함을 특징으로 하는 반도체패키지.

청구항 6.

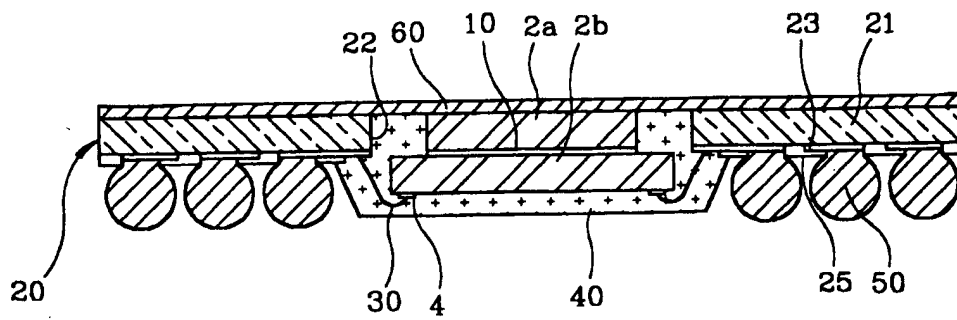
제5항에 있어서, 상기 회로기판은 수지층의 상,하면에 회로패턴이 형성되고, 상,하의 회로패턴은 도전성 비아홀로 상호 접속된 것을 특징으로 하는 반도체패키지.

도면

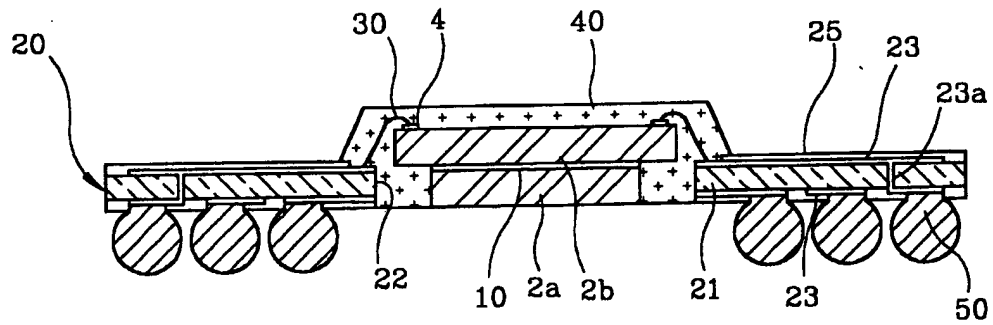
도면 1a



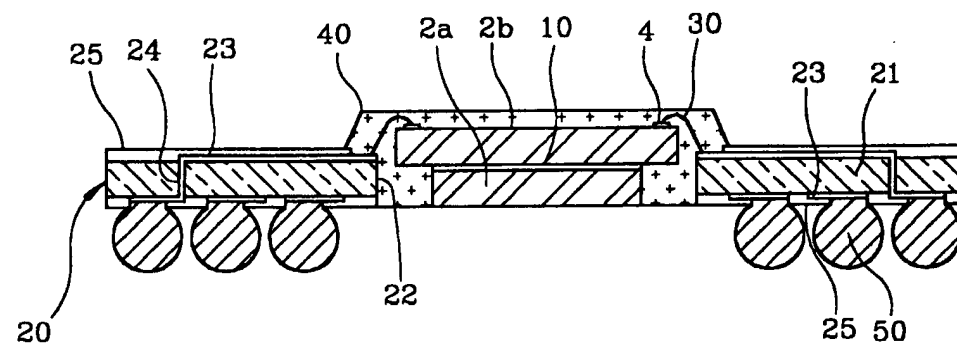
도면 1b



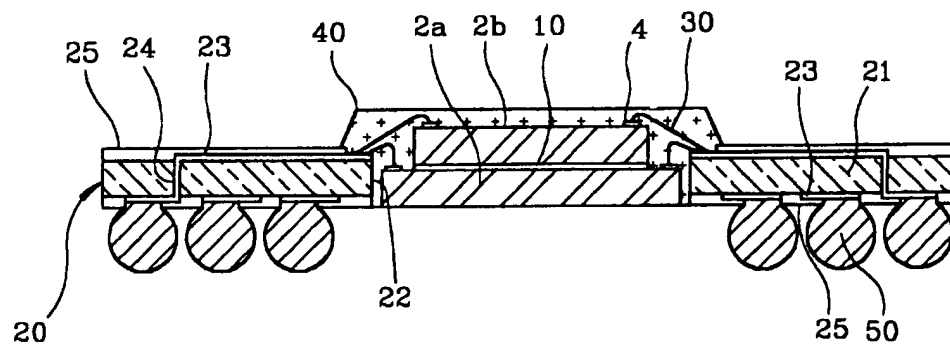
도면 1c



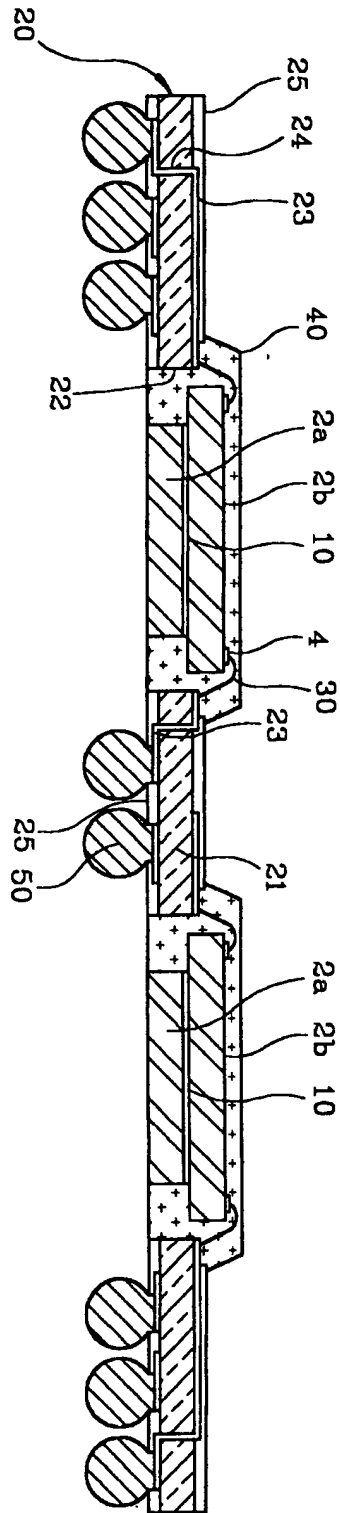
도면 2a



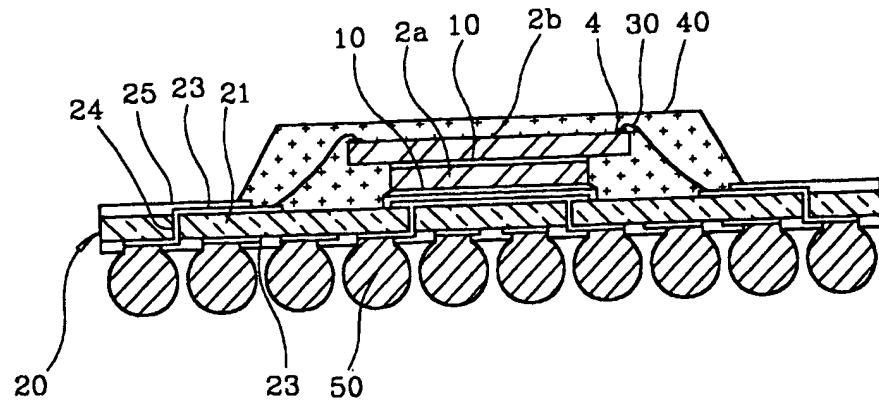
도면 2b



도면 2c



도면 3a



도면 3b

